

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平7-231076

(43)公開日 平成7年(1995)8月29日

(51)Int.Cl.⁸

H 01 L 27/146

31/10

H 04 N 5/335

識別記号

府内整理番号

F I

技術表示箇所

C

7376-4M

H 01 L 27/14

A

31/10

A

審査請求 未請求 請求項の数 3 O.L (全 5 頁) 最終頁に統く

(21)出願番号

特願平6-20093

(22)出願日

平成6年(1994)2月17日

(71)出願人 000001007

キヤノン株式会社

東京都大田区下丸子3丁目30番2号

(72)発明者 門間 玄三

東京都大田区下丸子3丁目30番2号 キヤノン株式会社内

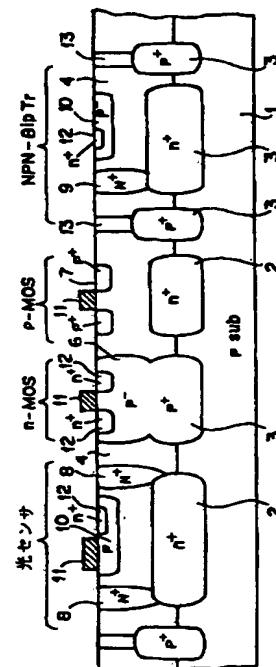
(74)代理人 弁理士 山下 積平

(54)【発明の名称】 光電変換装置

(57)【要約】

【目的】 素子分離領域を縮小化してチップサイズを小型化し、素子間耐圧を確保し、センサーサイズ及びセンサービッチを微細化した光電変換装置を得る。

【構成】 バイポーラトランジスタのベース10に光励起により発生したキャリアを蓄積する光センサーを用いた光電変換部と、相補型の絶縁ゲート型トランジスタから成る回路、およびバイポーラトランジスタから成る回路が同一基板上に形成された光電変換装置において、前記バイポーラトランジスタから成る回路の素子分離領域が、誘電体を埋め込んだトレニチ(溝)構造13とP型の埋込層3によって形成されていることを特徴とする光電変換装置。



1

【特許請求の範囲】

【請求項1】 バイポーラトランジスタのベースに光励起により発生したキャリアを蓄積する光センサーを用いた光電変換部と、相補型の絶縁ゲート型トランジスタから成る回路、およびバイポーラトランジスタから成る回路が同一基板上に形成された光電変換装置において、前記バイポーラトランジスタから成る回路の素子分離領域が、誘電体材料を埋め込んだトレンチ（溝）構造とP型の埋込層によって形成されていることを特徴とする光電変換装置。

【請求項2】 前記相補型の絶縁ゲート型トランジスタから成る回路において、該回路の素子分離領域が、誘電体材料を埋め込んだトレンチ（溝）構造により形成されていることを特徴とする請求項1に記載の光電変換装置。

【請求項3】 前記誘電体材料がPoly-Siであることを特徴とする請求項1又は2に記載の光電変換装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、バイポーラトランジスタのベースに光により発生したキャリアを蓄積する方式の光センサを用いた光電変換装置に関する。

【0002】

【従来の技術】 図4は、上記光センサを用いた従来の固体撮像装置の断面構造を示す模式図である。

【0003】 上記光センサを用いた固体撮像装置において、バイポーラトランジスタから成る回路の素子間分離は、図4に示すように、埋込層3とp-層5によってバイポーラトランジスタ（以下Bi-pTr）を他の素子と分離していた。また、相補型の絶縁ゲート型トランジスタ（以下MOSTr）の素子分離は、従来から行なわれているLOCOS分離で行なわれている。

【0004】

【発明が解決しようとしている課題】 しかしながら、上記従来例では、Bi-pTrの分離において必要とする埋込層3およびp-層5からなる分離幅は、 $10\mu m$ 程度必要あり、大面積を要するため、以下のような欠点があった。

【0005】 ① 分離幅に大面積を要するため、チップサイズを小さくすることが困難。

【0006】 ② 分離幅を縮めようとすると、素子間の耐圧が劣化し、デバイスとして正常な動作が行なわれない。

【0007】 ③ 上記センサーの周辺回路に要する面積が、分離幅大のため大きくなり、センサーサイズおよびセンサービッチの微細化の妨げとなった。

【0008】 【発明の目的】 本発明の目的は、素子分離領域を縮小化してチップサイズを小型化し、素子間耐圧を確保しつつ、センサーサイズ及びセンサービッチを微

2

細化した光電変換装置を提供することにある。

【0009】

【課題を解決するための手段】 本発明は、前記課題を解決するための手段として、バイポーラトランジスタのベースに光励起により発生したキャリアを蓄積する光センサーを用いた光電変換部と、相補型の絶縁ゲート型トランジスタから成る回路、およびバイポーラトランジスタから成る回路が同一基板上に形成された光電変換装置において、前記バイポーラトランジスタから成る回路の素子分離領域が、誘電体材料を埋め込んだトレンチ（溝）構造とP型の埋込層によって形成されていることを特徴とする光電変換装置を提供するものである。

【0010】 また、前記相補型の絶縁ゲート型トランジスタから成る回路において、該回路の素子分離領域が、誘電体材料を埋め込んだトレンチ（溝）構造により形成されていることを特徴とする。

【0011】

【作用】 本発明によれば、周辺回路におけるBi-pTrの素子分離に、トレンチ（溝）とp+埋込層を設け、またMOSTrの素子分離においては、トレンチ（溝）を設けることにより、上記センサーの周辺回路の素子分離領域を従来より縮小することができる。

【0012】

【実施例】

【実施例1】 図1は、本発明の実施例1の光電変換装置の構造を示す模式的断面図である。

【0013】 図1に示されるように、P基板1上に、n+埋込層2およびp+埋込層3が形成され、更にその上に、n-エピタキシャル層4が形成されている。n-エピタキシャル層4には、素子分離のためのトレンチ（溝）13と、埋込層3が形成されている。

【0014】 まず、光センサにおいては、コレクタであるn-エピタキシャル層4に電位を与えるためのn+領域8、pベース領域10およびn+エミッタ領域12が形成され、更に、ベース電位を制御するために絶縁層を挟んでベース領域10に対向したポリシリコンのキャバシタ電極11が形成されている。

【0015】 この光センサはベース蓄積型であり、光によって発生したキャリアをベース10に蓄積し、バイポーラトランジスタの動作によって蓄積電圧を読み出す。すなわち、キャバシタ電極11によってベース電位を制御することで、ベースに蓄積されたキャリアを除去するリフレッシュ動作、リフレッシュされたベースに光励起によるキャリアを蓄積する蓄積動作、そしてベースに蓄積された電圧をエミッタから読み出す読出し動作を各々実行する。

【0016】 NMOSトランジスタでは、pウェル5内にソース・ドレインとなるn+領域12とポリシリコンのゲート電極11が形成され、PMOSトランジスタでは、n-エピタキシャル層4上にソース・ドレインとな

10

20

30

40

50

るp+領域7およびポリシリコンのゲート電極11が形成されている。このNMOSおよびPMOSトランジスタによって、CMOSを構成することができる。

【0017】また、NPNバイポーラトランジスタ(NPNBi-Tr)では、光センサと同様の構成となり、コレクタに電位を与えるためのn+領域9、pベース領域10およびn+エミッタ領域12が形成されている。

【0018】本センサーの基本動作は、特開平1-238154号公報を参照のこと。

【0019】図1において、NPNTrの素子分離は、本発明の特徴となるトレンチ(溝)13と、p+埋込層3によって構成されている。これにより、従来形成されたNPNTrの面積を100(20×26.4μm²)とすると、57(14×21.4μm²)となり、NPNTrの面積は、約40%減少することが可能となった。

【0020】また、図2に示すように、C-MOS回路部においても、素子分離領域としてトレンチ(溝)13を設けることにより、従来より小さな素子分離領域とすることができるため、C-MOS回路部の高集積化が計られた。

【0021】トレンチ(溝)においては、所望の位置にレジストパターニングし、さらにバルクSiを異方性エッチングし、その後レジストを剥離した後、Poly-Siを埋め込む形式をとった。埋め込む材料は、Poly-Siの他に、誘電体材料、例えば、NSG、PSG、P-SiO等のものも、十分な分離特性を得られた。また、埋め込んだ後にレジストエッチバックを行なうことにより、素子の平坦化を行ない、トレンチ(溝)周辺の平坦化を行なった。

【0022】また形成されたトレンチ(溝)は、バイポーラTrの分離のものとMOSTrの分離のものと同時に形成し、そのトレンチ深さは、同等である。

【0023】【実施例2】次に実施例2において、本発明を用いて素子分離を形成したプロセスおよびその電気特性について説明する。簡略化するため、NPNトランジスタについてその詳細を図3(a)~(e)を用いて説明する。

【0024】まず、P型の基板1の所望の位置にN型の埋め込み領域2、P型の埋め込み領域3を形成する(図3-(a))。

【0025】次に上記基板にエピタキシャル成長を行なう。このとき、エピタキシャル層(以下Epi層)4の厚さは、7~9μmである。図3-(b)に示すようにN型埋込層およびP型埋込層は、エピタキシャル成長時、オートドーピングにより、Epi膜4内に拡散する。

【0026】次にバイポーラトランジスタのコレクタを形成するため、N+の拡散層9を所定の位置に形成する(図3-(b))。

【0027】次にSi基板を酸化し、Si₃N₄膜を堆積させ、所望の位置に開口を設けるパターニングを行ない、さらにフィールド酸化することにより、フィールド酸化膜21を形成する(図3-(c))。

【0028】次にトレンチ(溝)を形成する部分に、パターニングを行わない異方性ドライエッティングによりフィールド酸化膜21をエッティングする。さらにトレンチ(溝)内部を酸化しさらにPoly-Si膜13を堆積させる。次に基板全面にレジストをコートし、エッチバックを行なう(図3-(d))。

【0029】次に、バイポーラトランジスタのベース部分10、エミッタ部分12を、イオンインプランテーションおよび熱拡散を行なうことで形成する(図3-(e))。

【0030】次に層間膜を堆積し、コンタクトの窓あけを行ない、A1電極を形成し、バイポーラトランジスタが完成する(図示せず)

上記方法でトランジスタを形成した場合の、バイポーラトランジスタのベース-ベース間、CN-CN間のリーク電流は、5Vの逆バイアスに対して、4×10⁻¹³A/mm~1×10⁻¹²A/mmのリーク電流が得られた。

【0031】

【発明の効果】以上、説明したように、上記光センサーを用いた固体撮像装置において、バイポーラTrの素子分離に、トレンチ(溝)とP+埋込層を設け、MOSTrの素子分離にトレンチ(溝)を設けることにより、以下の効果が得られた。

【0032】① 分離幅が小さくなるため、チップサイズを小さくできる。

【0033】② 素子間隔をせばめても、耐圧劣化が少ない。

【0034】③ 周辺回路が小さくなるため、センサーサイズの微細化が可能、センサービッチの縮少が可能となつた。

【図面の簡単な説明】

【図1】本発明の実施例1の光電変換装置の模式的断面図。

【図2】本発明を実施したC-MOS部の断面図。

【図3】本発明の実施例2の素子分離領域の形成方法を示す模式的工程断面図。

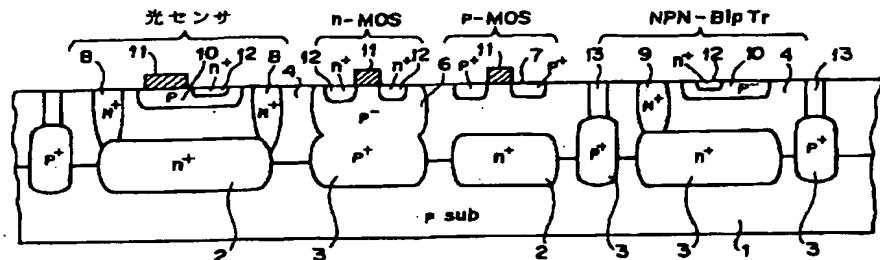
【図4】従来の光電変換装置の模式的断面図。

【符号の説明】

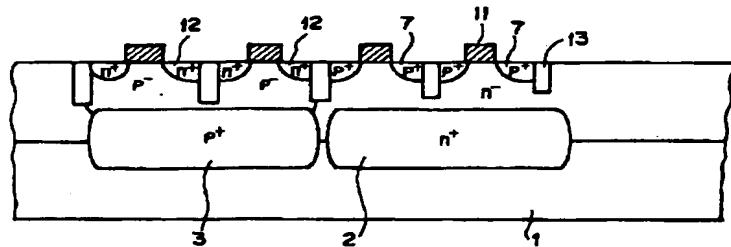
- | | |
|---|-------------------|
| 1 | Psub |
| 2 | n+埋込層 |
| 3 | p+埋込層 |
| 4 | エピタキシャル層(Epi)(n-) |
| 5 | p-層(アイソレーション用) |
| 6 | p-層(P型well層) |
| 7 | p+層(PMOSソース・ドレイン) |

5		6
8 n+層 (コレクタ層)	* 1 1 ポリシリコンゲート	
9 n+層 (Bi pTrコレクタ層)	1 2 n+層 (NMOSソースドレイン)	
10 p-層 (Bi pTrベース層)	* 1 3 トレンチ (溝)	

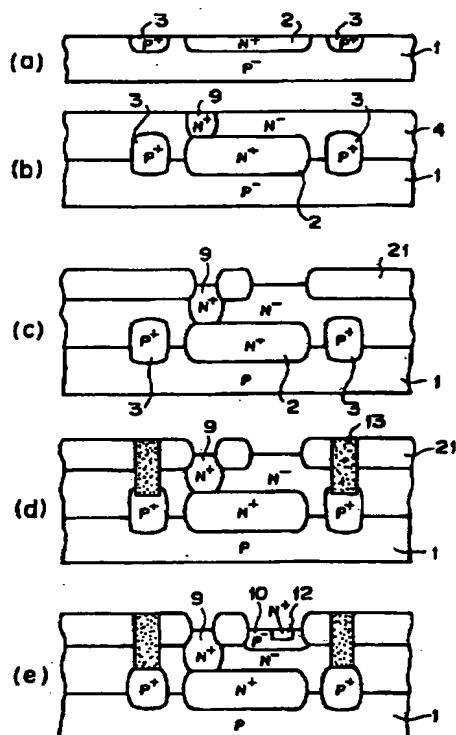
【図1】



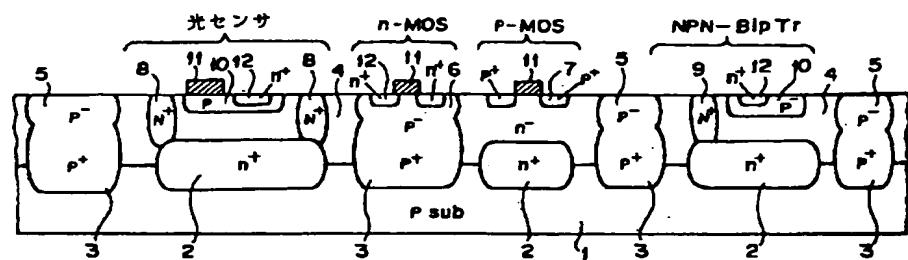
【図2】



【図3】



【図4】



フロントページの続き

(51) Int. Cl. 6

H 0 4 N 5/335

識別記号

府内整理番号

Z

F I

技術表示箇所